

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-272373

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

G06F 3/00

(21)Application number : 10-071889

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.03.1998

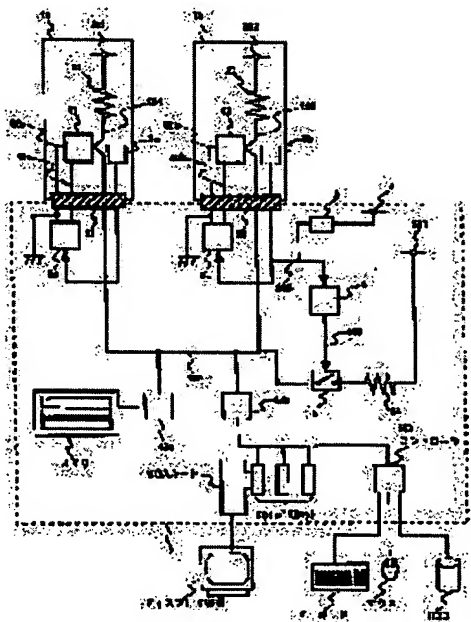
(72)Inventor : HAGA YOICHI
HIDA YASUHIRO
SEKI YUKIHIRO
SUZUKI SHINICHI

(54) INFORMATION PROCESSOR AND CONNECTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To relieve a waveform distortion in a system device without mounting a terminal board by switching the connection of a terminal means installed in a system bus according to whether a cartridge is connected to the system bus or not.

SOLUTION: A CPU voltage control signal generation circuit 3b on a CPU cartridge 1b outputs the n-bit signal of a high level or a low level and inputs the output signal to an outer power module 6b as the CPU voltage control signal 200 of n-bits. The outer power module 6b receiving it generates designated power voltage and supplies it to CPU 42. Only when the signal level showing the non-installation of the CPU cartridge 1b is inputted to the CPU voltage control signal 200, a change-over switch control signal 400 becomes low level. When the change over switch control signal 400 is in the low level, the change-over switch 5 is cut and it becomes a conduction state in the case of the high level.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-272373

(43)公開日 平成11年(1999)10月8日

(51)Int.Cl.⁶
G 0 6 F 3/00

識別記号

F I
G 0 6 F 3/00

K

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21)出願番号 特願平10-71889

(22)出願日 平成10年(1998)3月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 芳賀 洋一

神奈川県川崎市幸区鹿島田890番地 株式
会社日立製作所情報・通信開発本部内

(72)発明者 飛田 庸博

神奈川県川崎市幸区鹿島田890番地 株式
会社日立製作所情報・通信開発本部内

(72)発明者 関 行宏

神奈川県川崎市幸区鹿島田890番地 株式
会社日立製作所情報・通信開発本部内

(74)代理人 弁理士 秋田 収喜

最終頁に続く

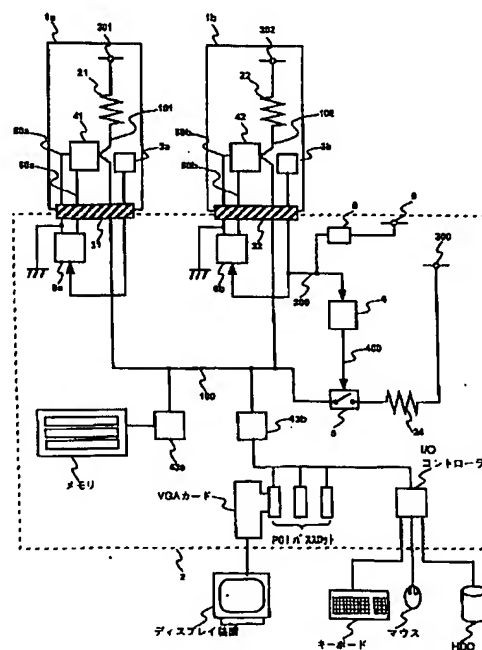
(54)【発明の名称】 情報処理装置及びコネクタ

(57)【要約】

【課題】 終端手段を内蔵する複数のカートリッジの内の特定のカートリッジを未実装にしてシステムを動作させる場合に終端ボードの実装を行うことなくシステムバスでの波形歪みを緩和することが可能な技術を提供する。

【解決手段】 システムバスの終端手段を有した複数のカートリッジを接続する情報処理装置において、前記カートリッジがシステムバスに接続されていないときにシステムバスでの波形歪みを緩和する終端手段と、前記カートリッジがシステムバスに接続されているかどうかを検出する検出手段と、前記検出手段により前記カートリッジがシステムバスに接続されていることを検出したときに前記終端手段を切り離す切り替え手段とを備えるものである。

図 1



【特許請求の範囲】

【請求項1】 システムバスの終端手段を有した複数のカートリッジを接続する情報処理装置において、前記カートリッジがシステムバスに接続されていないときにシステムバスでの波形歪みを緩和する終端手段と、前記カートリッジがシステムバスに接続されているかどうかを検出する検出手段と、前記検出手段により前記カートリッジがシステムバスに接続されていることを検出したときに前記終端手段を切り離す切り替え手段とを備えることを特徴とする情報処理装置。

【請求項2】 前記カートリッジは当該情報処理装置全体の動作を制御するCPUを内蔵し、前記検出手段は前記カートリッジ内のCPUに供給される電圧を制御するCPU電圧制御信号の値によって前記カートリッジがシステムバスに接続されているかどうかを検出するものであることを特徴とする請求項1に記載された情報処理装置。

【請求項3】 システムバスの終端手段を有した複数のカートリッジをシステムバスに接続するコネクタにおいて、前記カートリッジが当該コネクタに装着されていないときにシステムバスでの波形歪みを緩和する終端手段と、前記カートリッジが当該コネクタに装着されているかどうかを検出する検出手段と、前記検出手段により前記カートリッジが当該コネクタに装着されていることを検出したときに前記終端手段を切り離す切り替え手段とを備えることを特徴とするコネクタ。

【請求項4】 前記検出手段は前記カートリッジの当該コネクタへの物理的な接触により前記カートリッジが当該コネクタに装着されているかどうかを検出するものであることを特徴とする請求項3に記載されたコネクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高速信号伝達を行うバスを備える情報処理装置及びそのコネクタに関し、特に終端抵抗を内蔵した複数のCPUカートリッジを接続するシステムバスを有する情報処理装置及びそのコネクタに適用して有効な技術に関するものである。

【0002】

【従来の技術】近年、処理性能の向上が益々要求されるパーソナルコンピュータ（以下、PCと記載する）やワークステーションに代表される情報処理装置において、デジタル信号回路間の信号伝送を高速に行う為の技術が重要となっている。

【0003】この様な高速信号伝達を実現する手段として、信号振幅を1V程度とした信号伝送技術（以下これを低振幅インタフェースと呼ぶ）が今日広く用いられている。この低振幅インタフェースについては、例えば日経エレクトロニクス1993年9月27日号（No. 591）P269～290（日経BP社、平成5年発行）

に詳しく記載されており、この低振幅インタフェース技術は、今日PCやワークステーションのCPUのバスインタフェース信号にも用いられている。

【0004】前記低振幅インタフェースを用いた伝送線路の様に高速信号伝達を行うバス上に複数のモジュールを接続する場合には、バス端点での反射といったインピーダンスの不整合による波形歪みを緩和する為に、バスを伝送線路のインピーダンスで終端するいわゆる整合終端が必要になる。

10 【0005】図6は従来の整合終端の基本構成を示す図である。図6に示す様に従来のシステムボード600は、モジュール601～604と、システムバス605と、終端電圧電源620と、終端抵抗621及び622とを有している。

【0006】モジュール601～604はシステムバス605を介して相互に信号を送受信して特定の動作を行う回路である。システムバス605は低振幅インタフェースでモジュール601～604を相互に接続する伝送線路である。

20 【0007】終端電圧電源620はシステムボード600上で終端抵抗621及び622に電圧を供給する電源である。終端抵抗621及び622はシステムバス605での波形歪みを緩和する為にシステムボード600上に実装された終端手段である。

【0008】図6に示す様にシステムボード600では低振幅インタフェースのシステムバス605上にモジュール601～604が接続されており、システムバス605の両端は終端抵抗621及び622により終端されている。

30 【0009】モジュール601～604等の接続数により、バスの終端抵抗値を変化させる方法は様々な手段があり、例えばバスの使用状態に応じてバスの終端を行うバス終端装置については特開平7-114433号公報に記載されている。

【0010】その概要は、バックプレーンと信号処理並びに通信用の送受信回路を搭載したパッケージからなる情報処理装置において、信号配線に接続する前記パッケージの枚数や電気特性により決まるバスの特性インピーダンスに応じて、信号配線両端の終端に用いる抵抗の値を変えることを特徴とするものである。この従来技術による情報処理装置は、終端用の抵抗が実装されたパッケージを必ずバス端点に実装して使用する事を想定したものである。

【0011】一方、最近ではカセット状のユニットの中にプリント基板を実装し、コネクタに装着するタイプのCPUが世の中に始まった（以下このタイプのCPUをCPUカートリッジと呼ぶ）。このCPUカートリッジはカートリッジ内部に終端用の抵抗を内蔵している。

40 【0012】図7は従来のCPUカートリッジを搭載するシステムの典型的なブロック構成を示す図である。図

7に示す様に従来のシステムは、システムボード700と、CPUカートリッジ710と、CPUカートリッジ720と、CPUコネクタ731及び732とを有している。

【0013】システムボード700はCPUカートリッジ710及びCPUカートリッジ720を搭載するボードである。CPUカートリッジ710はCPU711、終端抵抗712及び終端電圧電源713を内蔵し、CPUコネクタ731を介してシステムバス703に接続されるカートリッジである。

【0014】CPUカートリッジ720はCPU721、終端抵抗722及び終端電圧電源723を内蔵し、CPUコネクタ732を介してシステムバス703に接続されるカートリッジである。CPUコネクタ731及び732はそれぞれCPUカートリッジ710及びCPUカートリッジ720をシステムボード700に接続するコネクタである。

【0015】システムボード700は、モジュール701及び702と、システムバス703とを有している。

【0016】モジュール701及び702はシステムバス703に接続されるメモリコントローラやバスブリッジ等の回路である。システムバス703はCPUカートリッジ710及びCPUカートリッジ720内のCPU711及びCPU721並びにモジュール701及び702を相互に接続する伝送線路である。

【0017】CPUカートリッジ710は、CPU711と、終端抵抗712と、終端電圧電源713と、CPUカートリッジ伝送線路714とを有している。

【0018】CPU711はCPUカートリッジ710を搭載する情報処理装置全体の動作を制御するプロセッサである。終端抵抗712はシステムバス703での波形歪みを緩和する為にCPUカートリッジ710内に内蔵された終端手段である。

【0019】終端電圧電源713はCPUカートリッジ710内の終端抵抗712に電圧を供給する電源である。CPUカートリッジ伝送線路714はCPU711とCPUコネクタ731との間で信号を伝送する伝送線路である。

【0020】CPUカートリッジ720は、CPU721と、終端抵抗722と、終端電圧電源723と、CPUカートリッジ伝送線路724とを有している。

【0021】CPU721はCPUカートリッジ720を搭載する情報処理装置全体の動作を制御するプロセッサである。終端抵抗722はシステムバス703での波形歪みを緩和する為にCPUカートリッジ720内に内蔵された終端手段である。

【0022】終端電圧電源723はCPUカートリッジ720内の終端抵抗722に電圧を供給する電源である。CPUカートリッジ伝送線路724はCPU721とCPUコネクタ732との間で信号を伝送する伝送線

路である。

【0023】図7に示す様に2個のCPUカートリッジ710及びCPUカートリッジ720をシステムボード700に接続する場合には、CPUカートリッジ710及びCPUカートリッジ720をシステムバス703の両端に配置し、モジュール701及び702を挟み込む構成にすることにより、図6に示した整合終端が可能になる。

【0024】図7ではデュアルプロセッサの構成例としてCPUカートリッジ710及びCPUカートリッジ720を2個接続する場合を示したが、仮にシングルプロセッサ構成で使用することを考えると、前述の構成のシステムにて例えばCPUカートリッジ720が装着されていないときには、CPUコネクタ732には終端抵抗722が実装された終端ボードを実装する必要がある（以下、終端用の抵抗が実装されているボードを終端ボードと呼ぶ）。

【0025】

【発明が解決しようとする課題】従来の情報処理装置において図7に示した様な複数のCPUカートリッジを搭載可能なシステムをシングルプロセッサ構成で使用する場合、整合終端により波形歪みを抑える為に終端ボードを用いてシステムバスを終端する必要がある。ところがPCのエンドユーザーは、システムバスに終端ボードが必要であるという専門的知識を有しない為、エンドユーザーが終端ボードを装着し忘れることが考えられる。

【0026】この様に図7に示した様な複数のCPUカートリッジを搭載可能な情報処理装置では、終端ボードを実装せずに電源を投入することによりシステムが不安定動作をする為、データ破損や故障が発生するという問題がある。

【0027】また従来の情報処理装置において終端ボードを使用する場合は、CPUコネクタへの終端ボードの挿抜を繰り返すことにより、CPUコネクタのコネクタピン及び終端ボードのカードエッジ（接触子）の劣化が起こるという問題もある。

【0028】更に従来の情報処理装置において終端ボードを使用する場合は、エンドユーザーが終端ボードを挿入する際に中途半端な挿入や逆向き挿入或いはシステム通電中の挿入といった誤った操作が予想され、エラー、事故及び故障が発生するという問題がある。

【0029】また前記の特開平7-114433号公報に記載されている方式では、負荷数によるインピーダンス変動を補正する為に終端抵抗の値を調整することは記載されているものの、バス端点の終端抵抗が実装された負荷パッケージを外して使用する状況は考慮しておらず、上記に示す様なエンドユーザーの不慮の操作によるシステムの誤動作を防ぐことができない。

【0030】本発明の目的は上記問題を解決し、終端手段を内蔵する複数のカートリッジの内の特定のカートリ

ッジを未実装にしてシステムを動作させる場合に終端ボードの実装を行うことなくシステムバスでの波形歪を緩和することが可能な技術を提供することにある。

【0031】本発明の他の目的はシステムバスでの波形歪をできるだけ抑えることが可能な技術を提供することにある。

【0032】

【課題を解決するための手段】本発明はシステムバスの終端手段を有した複数のカートリッジを接続する情報処理装置において、前記カートリッジがシステムバスに接続されているかどうかに応じてシステムバスに予め備えられた終端手段の接続を切り替えるものである。

【0033】本発明の情報処理装置ではシステムボード上またはコネクタ内に、前記カートリッジがシステムバスに接続されていないときにシステムバスでの波形歪みを緩和する終端手段を備え、前記検出手段により前記カートリッジがシステムバスに接続されているかどうかを検出する。

【0034】前記検出手段により前記カートリッジのシステムバスへの接続が検出されない場合には、前記システムボード上またはコネクタ内に予め備えられた終端手段によりインピーダンスの整合を行ってシステムバスでの波形歪を緩和する。

【0035】前記検出手段により前記カートリッジのシステムバスへの接続が検出された場合には、前記切り替え手段により前記システムボード上またはコネクタ内の終端手段を切り離し、前記カートリッジに内蔵された終端手段によりインピーダンスの整合を行ってシステムバスでの波形歪を緩和する。

【0036】前記の様に本発明の情報処理装置では前記カートリッジの装着の際に終端ボードの挿抜を必要としないので、終端ボードを実装せずに電源を投入することによるシステムの不安定動作、データ破損や故障は発生せず、また終端ボードの挿抜を繰り返すことによるコネクタピン及び終端ボードのカードエッジ（接触子）の劣化、或いはエンドユーザーが終端ボードを挿入する際の中途半端な挿入や逆向き挿入或いはシステム通電中の挿入といった誤った操作を防止することができる。

【0037】以上の様に本発明の情報処理装置によれば、終端手段を内蔵するカートリッジがシステムバスに接続されているかどうかを検出してシステムバスに予め接続されている終端手段の切り替えを行うので、終端手段を内蔵する複数のカートリッジの内の特定のカートリッジを未実装にしてシステムを動作させる場合に終端ボードの実装を行うことなくシステムバスでの波形歪を緩和することが可能である。

【0038】

【発明の実施の形態】（実施形態1）以下に終端抵抗を内蔵したCPUカートリッジの有無に応じてシステムボード上の終端抵抗の接続を切り替える実施形態1の情報

処理装置について説明する。

【0039】図1は本実施形態の情報処理装置の概略構成を示す図である。図1に示す様に本実施形態の情報処理装置は、CPUカートリッジ1aと、CPUカートリッジ1bと、システムボード2と、CPUコネクタ31及び32とを有している。

【0040】CPUカートリッジ1aはCPU41、CPU電圧制御信号生成回路3a、終端抵抗21及び終端電圧電源301を内蔵し、CPUコネクタ31を介してシステムバス100に接続されるカートリッジである。

【0041】CPUカートリッジ1bはCPU42、CPU電圧制御信号生成回路3b、終端抵抗22及び終端電圧電源302を内蔵し、CPUコネクタ32を介してシステムバス100に接続されるカートリッジである。

【0042】システムボード2はCPUカートリッジ1a及び1bを搭載するボードである。CPUコネクタ31及び32はCPUカートリッジ1a及び1bそれぞれをシステムボード2に接続するコネクタである。

【0043】システムボード2は、CPU有無検出回路4と、切り替えスイッチ5と、外部電源モジュール6a及び6bと、プルアップ抵抗群8と、プルアップ電源9と、終端抵抗24と、モジュール43a及び43bと、システムバス100と、CPU電圧制御信号200と、終端電圧電源300と、切り替えスイッチ制御信号400とを有している。

【0044】CPU有無検出回路4はCPUカートリッジ1bがシステムバス100に接続されているかどうかを検出する検出手段であり、CPUカートリッジ1b内のCPU42に供給される電圧を制御するCPU電圧制御信号200の値によってCPUカートリッジ1bがシステムバス100に接続されているかどうかを検出する回路である。

【0045】切り替えスイッチ5はCPU有無検出回路4によりCPUカートリッジ1bがシステムバス100に接続されていることを検出したときにシステムバス100上の終端抵抗24を切り離す切り替え手段である。

【0046】外部電源モジュール6a及び6bはそれぞれCPU41及びCPU42に電圧を供給する回路である。プルアップ抵抗群8はCPUカートリッジ1bがシステムボード2に実装されていない場合にCPU電圧制御信号200をプルアップする回路である。

【0047】プルアップ電源9はCPUカートリッジ1bがシステムボード2に実装されていない場合にCPU電圧制御信号200をプルアップする為の電源である。終端抵抗24はCPUカートリッジ1bがシステムバス100に接続されていないときにシステムバス100での波形歪みを緩和する為にシステムボード2上に実装された終端手段である。

【0048】モジュール43a及び43bはシステムバス100に接続されるメモリコントローラやバスブリッ

ジ等の回路である。システムバス100はCPUカートリッジ1a及び1b内のCPU41及びCPU42並びにモジュール43a及び43bを相互に接続する伝送線路である。

【0049】CPU電圧制御信号200は外部電源モジュール6bからCPU42に供給される電圧を制御する信号である。終端電圧電源300はシステムボード2上で終端抵抗24に電圧を供給する電源である。切り替えスイッチ制御信号400はCPUカートリッジ1bがシステムボード2に実装されているかどうかに応じて切り

替えスイッチ5を制御してシステムボード2上の終端抵抗24の切り替えを行う信号である。

【0050】CPUカートリッジ1aは、終端抵抗21と、CPU電圧制御信号生成回路3aと、CPU41と、CPU電源線50aと、CPUグランド線60aと、CPUカートリッジ伝送線路101と、終端電圧電源301とを有している。

【0051】終端抵抗21はシステムバス100での波形歪みを緩和する為にCPUカートリッジ1a内に内蔵された終端手段である。CPU電圧制御信号生成回路3aはCPU41に与える電圧を外部電源モジュール6aから供給する際にその電圧を制御する信号を生成する回路である。

【0052】CPU41はCPUカートリッジ1aを搭載する情報処理装置全体の動作を制御するプロセッサである。CPU電源線50aは外部電源モジュール6aからCPU41への電源線である。CPUグランド線60aは外部電源モジュール6aからCPU41へのグランド線である。

【0053】CPUカートリッジ伝送線路101はCPU41とCPUコネクタ31とを接続する伝送線路である。終端電圧電源301はCPUカートリッジ1aで終端抵抗21に電圧を供給する電源である。

【0054】CPUカートリッジ1bは、終端抵抗22と、CPU電圧制御信号生成回路3bと、CPU42と、CPU電源線50bと、CPUグランド線60bと、CPUカートリッジ伝送線路102と、終端電圧電源302とを有している。

【0055】終端抵抗22はシステムバス100での波形歪みを緩和する為にCPUカートリッジ1b内に内蔵された終端手段である。CPU電圧制御信号生成回路3bはCPU42に与える電圧を外部電源モジュール6bから供給する際にその電圧を制御するCPU電圧制御信号200を生成する回路である。

【0056】CPU42はCPUカートリッジ1bを搭載する情報処理装置全体の動作を制御するプロセッサである。CPU電源線50bは外部電源モジュール6bからCPU42への電源線である。CPUグランド線60bは外部電源モジュール6bからCPU42へのグランド線である。

【0057】CPUカートリッジ伝送線路102はCPU42とCPUコネクタ32とを接続する伝送線路である。終端電圧電源302はCPUカートリッジ1bで終端抵抗22に電圧を供給する電源である。

【0058】また図1に示す様に本実施形態の情報処理装置ではモジュール43aにメモリが接続され、モジュール43bにはVGA (Video Graphics Array) カード、PCI (Peripheral Component Interconnect) バススロット及びI/Oコントローラが接続されており、VGAカードにはディスプレイ装置が、またI/Oコントローラにはキーボード、マウス及びHDD (Hard Disk Drive) が接続されている。

【0059】本実施形態の情報処理装置の特徴は、従来の構成にCPU有無検出回路4、切り替えスイッチ5及び終端抵抗24を付加したことである。以下、これらの構成要素について詳しく説明する。

【0060】CPUカートリッジ1a及び1b上には、CPU電圧制御信号生成回路3a及び3bが搭載されている。このCPU電圧制御信号生成回路3a及び3bは、CPU41及びCPU42に与える電圧を外部電源モジュール6a及び6bから供給する際に用いる回路である。すなわち、CPU電圧制御信号生成回路3a及び3bから出力される信号を観測することにより、CPUカートリッジ1a及び1bの有無を検出することが可能となる。

【0061】システムボード2上では、CPUコネクタ31及び32がシステムバス100に接続されている。またシステムバス100は、切り替えスイッチ5を介して終端抵抗24に接続されており、終端抵抗24はシステムボード2上において終端電圧電源300に接続されている。切り替えスイッチ5は、切り替えスイッチ制御信号400の状態により、システムバス100と終端抵抗24間を接続・遮断する働きを持つ回路である。

【0062】まず本実施形態の情報処理装置において、システムボード2上にCPUカートリッジ1aが実装され、CPUカートリッジ1bが未実装状態である場合の動作を説明する。

【0063】システムボード2上にCPUカートリッジ1aが実装され、CPUカートリッジ1bが未実装の状態では、CPUカートリッジ1a上の終端抵抗21によりシステムバス100の片方の端点は終端されているが、もう一方の端点であるCPUコネクタ32の点では、終端されていない状態にある。

【0064】ここでCPU有無検出回路4は、CPU電圧制御信号200によりCPUカートリッジ1bが未実装であることを識別し、切り替えスイッチ制御信号400を介して切り替えスイッチ5に終端抵抗24の接続を指示する。この為、終端抵抗24はシステムバス100に接続され、システムバス100のもう一方の端点が正しく終端される。

【0065】次に図1においてシステムボード2にCPUカートリッジ1a及び1bが実装されている場合の動作を説明する。

【0066】システムボード2上にCPUカートリッジ1a及び1bが共に実装されている状態では、CPU有無検出回路4はCPU電圧制御信号200により、CPUカートリッジ1bの実装を認識し、切り替えスイッチ制御信号400を介して切り替えスイッチ5に終端抵抗24の遮断を指示する。この為、システムボード2上の終端抵抗24はシステムバス100から電氣的に切り離され、CPUカートリッジ1a上の終端抵抗21及びCPUカートリッジ1b上の終端抵抗22により、システムバス100の両端が終端される。

【0067】なお図1のCPU有無検出回路4はNANDゲート等の組み合わせ論理回路を使って容易に構成することができる。CPUカートリッジ1bの有無を確認する為の信号は、CPUカートリッジ1bの装着時にCPUコネクタ32に一定のレベルを出力する信号であれば良い。

【0068】ここではCPUカートリッジ1bの有無を確認する為の信号として、CPUカートリッジ1bがシステムボード2に対してCPUカートリッジ1b自身の動作電圧値を指定する信号を仮定し、前述のCPU電圧制御信号生成回路3b及びCPU電圧制御信号200を用いてCPUカートリッジ1bの有無を検出するCPU有無検出回路4の動作を図1を用いて説明する。

【0069】図1においてCPUカートリッジ1b上のCPU電圧制御信号生成回路3bはハイレベルまたはローレベルのnビット信号(nは1以上の自然数)を出力する回路であり、CPU電圧制御信号生成回路3bから出力された信号はCPUコネクタ32を経由してnビットのCPU電圧制御信号200として外部電源モジュール6bへ入力される。CPU電圧制御信号200を受け取った外部電源モジュール6bは、指定された電源電圧を生成し、CPU42に供給する。

【0070】CPUカートリッジ1bが装着されない場合には、CPU電圧制御信号生成回路3はCPU電圧制御信号200の信号線に接続されない。この為、システムボード2上のプルアップ抵抗群8によりCPU電圧制御信号200をプルアップすることで、CPUカートリッジ1bの未装着時のnビットのCPU電圧制御信号200の信号レベルは全て“ハイ”となる。

【0071】すなわちCPU電圧制御信号200にCPUカートリッジ1bの未装着を示す信号レベルが入力された場合にのみ、切り替えスイッチ制御信号400が“ロー”レベルになり、これ以外のCPU電圧制御信号200のビットの組み合わせの時には、信号レベルは“ハイ”レベルとなる。切り替えスイッチ5は、切り替えスイッチ制御信号400が“ロー”レベルの場合に切断、“ハイ”レベルの場合には導通状態となる。

【0072】以上の動作ではCPUカートリッジ1bの実装認識の手段としてCPU電圧制御信号200を用いた例を説明したが、CPUカートリッジ1bの実装を認識する為の信号として他の信号を用いても良く、CPUカートリッジ1bの実装/非実装時に異なるレベルを示す信号であれば種類を問わない。また、ユーザーによるジャンパ切り替え等の手操作によってCPUカートリッジ1bの実装状態を示すものであっても良い。

【0073】また本実施形態の情報処理装置では2個のCPUカートリッジ1a及び1bをシステムボード2に接続する場合について説明したが、複数組のCPUコネクタ32、CPU有無検出回路4及び切り替えスイッチ5を備え、3個以上のカートリッジをシステムボード2に接続してシステムボード2上の各終端抵抗を切り替えるものとしても良い。

【0074】以上説明した様に本実施形態の情報処理装置によれば、終端手段を内蔵するカートリッジがシステムバスに接続されているかどうかを検出してシステムバスに予め接続されている終端手段の切り替えを行うので、終端手段を内蔵する複数のカートリッジの内の特定のカートリッジを未実装にしてシステムを動作させる場合に終端ボードの実装を行うことなくシステムバスでの波形歪を緩和することが可能である。

【0075】(実施形態2)以下に終端抵抗を内蔵したCPUカートリッジの有無に応じてCPUコネクタ内の終端抵抗の接続を切り替える実施形態2の情報処理装置について説明する。

【0076】図2は本実施形態のコネクタの概略構成を示す図である。CPUコネクタ33はシステムバス100を終端する為の終端抵抗500を内蔵し、CPUカートリッジ1bをシステムボード2に接続するコネクタである。接続端子72はシステムボード2とCPUコネクタ33とを接続する端子の1つで、終端電圧電源304を接続し、終端抵抗500に終端電圧電源304の電圧を供給する端子である。

【0077】接続端子81aはシステムボード2とCPUコネクタ33とを接続する端子の1つで、終端抵抗500とシステムバス100との接続またはCPUカートリッジ1bの基板とシステムバス100との接続を行う端子である。

【0078】終端電圧電源304はCPUコネクタ33の終端抵抗500に電圧を供給する電源である。終端抵抗500はCPUカートリッジ1bがCPUコネクタ33に装着されていないときにシステムバス100での波形歪みを緩和する為にCPUコネクタ33の側面或いは内部に実装された終端手段である。

【0079】本実施形態の情報処理装置では、CPUコネクタ33の機械的な構造を利用してCPUカートリッジ1bが未実装の際に自動的にシステムバス100を終端する構成を表している。

【0080】図2に示す様に本実施形態の情報処理装置によるCPUコネクタ33は、CPUカートリッジ1bの挿入により機械的な機構を用いてバス線を切り替える機能を持ち、またコネクタ内部に終端抵抗500を内蔵し、この終端抵抗500に終端電圧電源304を供給する構成となっている。

【0081】図3は本実施形態のCPUコネクタ33の外観を示す図である。図4は本実施形態のCPUカートリッジ1b未実装時のCPUコネクタ33のA-A断面を示す図である。接続端子71はシステムバス100に接続する接続端子81aと終端抵抗500とを接続する端子である。接続端子81bはCPUカートリッジ1bの終端を必要としない信号を接続する端子である。接触部分82a及び82bはCPUカートリッジ1bがCPUコネクタ33に実装されたときにCPUカートリッジ1bの基板が接触する部分である。

【0082】スイッチ接触部83はCPUカートリッジ1bがCPUコネクタ33に実装されていないときに接続端子81aが接続端子71に接触する部分である。外枠501はCPUコネクタ33の外側の枠である。

【0083】図5は本実施形態のCPUカートリッジ1b実装時のCPUコネクタ33のA-A断面を示す図である。CPUカートリッジ基板91はCPUコネクタ33内に挿入されるCPUカートリッジ1b上の基板である。CPUカートリッジ信号エッジ92a及び92bはCPUカートリッジ基板91上に露出している信号端子である。

【0084】図4及び図5は図3に示したCPUコネクタ33のA-A断面を示した図であり、図4はCPUカートリッジ1bが未実装の状態、図5はCPUカートリッジ1bが実装された状態を示している。

【0085】本実施形態の情報処理装置において、接続端子81a、接触部分82a及びスイッチ接触部83は、CPUカートリッジ1bのCPUカートリッジ基板91の挿入により可動するばね構造を持った導電性の物質である。

【0086】次に図5を用いてCPUカートリッジ1bをCPUコネクタ33に実装した際の動作を説明する。CPUカートリッジ1bをCPUコネクタ33へ挿入することにより、CPUカートリッジ基板91がばね特性を持つ接触部分82aを断面図中央から外側に向かって押し出し、図5に示される様に接続端子71と接続端子81aのスイッチ接触部83との接続が切り離される。

【0087】すなわち本実施形態の情報処理装置では図1におけるCPU有無検出回路4の機能は接触部分82a、切り替えスイッチ5はスイッチ接触部83及び接続端子71に相当している。従って接触部分82aは、CPUカートリッジ1bのCPUコネクタ33への物理的な接触によりCPUカートリッジ1bがCPUコネクタ33に装着されているかどうかを検出する検出手段に、

またスイッチ接触部83及び接続端子71は、接触部分82aによりCPUカートリッジ1bがCPUコネクタ33に装着されていることを検出したときに終端抵抗500を切り離す切り替え手段に相当している。

【0088】接続端子71と接続端子81aとの接続が切り離されると、CPUコネクタ33内の終端抵抗500は使用されず、CPUカートリッジ1a上の終端抵抗21及びCPUカートリッジ1b上の終端抵抗22により、システムバス100の両端を2点で終端する構成になる。

【0089】一方、CPUカートリッジ1bを抜くことにより、接触部分82aは接続端子81aの部分を軸として金属のばね特性により移動し、図4に示す様にスイッチ接触部83と接続端子71が接触する。この為、接触部分82aと接続端子71間が導通状態となり、電気的に終端抵抗500の一端がシステムバス100に接続された状態となる。これによってCPUカートリッジ1bが無い状態においても、終端抵抗500によってシステムバス100が終端される。

【0090】本実施形態の情報処理装置ではCPUコネクタ33に終端抵抗500を実装しているので、CPUカートリッジ1bがCPUコネクタ33に装着されていないときに用いられる終端抵抗500とシステムバス100との間の配線距離が短くなって、システムボード2上に実装した終端抵抗24を用いる場合よりも波形歪の緩和効果が高くなり、システムバス100の波形歪をできるだけ抑えることが可能になる。

【0091】以上は、CPUコネクタ33の左側だけに終端抵抗500を実装した例を述べたが、終端抵抗500をCPUコネクタ33の右側に実装したり或いは終端抵抗500をCPUコネクタ33の両側に実装しても良い。

【0092】また本実施形態の情報処理装置では2個のCPUカートリッジ1a及び1bをシステムボード2に接続する場合について説明したが、複数組のCPUコネクタ33を備え、3個以上のカートリッジをシステムボード2に接続してCPUコネクタ33内の各終端抵抗を切り替えるものとしても良い。

【0093】また本実施形態の情報処理装置ではCPUカートリッジ1a及び1bをシステムバス100に接続する場合について説明したが、システムバス100に接続されるカートリッジとしては終端を必要とする回路を有するものならば種類を問わない。

【0094】以上説明した様に本実施形態の情報処理装置によれば、終端手段を内蔵するカートリッジがシステムバスに接続されているかどうかを検出してシステムバスに予め接続されている終端手段の切り替えを行うので、終端手段を内蔵する複数のカートリッジの内の特定のカートリッジを未実装にしてシステムを動作させる場合に終端ボードの実装を行うことなくシステムバスでの

13

波形歪を緩和することが可能である。

【0095】また本実施形態の情報処理装置によれば、
10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 450 451 452 453 454 455 456 457 458 459 460 461 462 463 464 465 466 467 468 469 470 471 472 473 474 475 476 477 478 479 480 481 482 483 484 485 486 487 488 489 490 491 492 493 494 495 496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511 512 513 514 515 516 517 518 519 520 521 522 523 524 525 526 527 528 529 530 531 532 533 534 535 536 537 538 539 540 541 542 543 544 545 546 547 548 549 550 551 552 553 554 555 556 557 558 559 560 561 562 563 564 565 566 567 568 569 570 571 572 573 574 575 576 577 578 579 580 581 582 583 584 585 586 587 588 589 590 591 592 593 594 595 596 597 598 599 600 601 602 603 604 605 606 607 608 609 610 611 612 613 614 615 616 617 618 619 620 621 622 623 624 625 626 627 628 629 630 631 632 633 634 635 636 637 638 639 640 641 642 643 644 645 646 647 648 649 650 651 652 653 654 655 656 657 658 659 660 661 662 663 664 665 666 667 668 669 670 671 672 673 674 675 676 677 678 679 680 681 682 683 684 685 686 687 688 689 690 691 692 693 694 695 696 697 698 699 700 701 702 703 704 705 706 707 708 709 710 711 712 713 714 715 716 717 718 719 720 721 722 723 724 725 726 727 728 729 730 731 732 733 734 735 736 737 738 739 740 741 742 743 744 745 746 747 748 749 750 751 752 753 754 755 756 757 758 759 760 761 762 763 764 765 766 767 768 769 770 771 772 773 774 775 776 777 778 779 780 781 782 783 784 785 786 787 788 789 790 791 792 793 794 795 796 797 798 799 800 801 802 803 804 805 806 807 808 809 810 811 812 813 814 815 816 817 818 819 820 821 822 823 824 825 826 827 828 829 830 831 832 833 834 835 836 837 838 839 840 841 842 843 844 845 846 847 848 849 850 851 852 853 854 855 856 857 858 859 860 861 862 863 864 865 866 867 868 869 870 871 872 873 874 875 876 877 878 879 880 881 882 883 884 885 886 887 888 889 890 891 892 893 894 895 896 897 898 899 900 901 902 903 904 905 906 907 908 909 910 911 912 913 914 915 916 917 918 919 920 921 922 923 924 925 926 927 928 929 930 931 932 933 934 935 936 937 938 939 940 941 942 943 944 945 946 947 948 949 950 951 952 953 954 955 956 957 958 959 960 961 962 963 964 965 966 967 968 969 970 971 972 973 974 975 976 977 978 979 980 981 982 983 984 985 986 987 988 989 990 991 992 993 994 995 996 997 998 999 1000

【0096】

【発明の効果】本発明によれば終端手段を内蔵するカートリッジがシステムバスに接続されているかどうかを検出してシステムバスに予め接続されている終端手段の切り替えを行うので、終端手段を内蔵する複数のカートリッジの内の特定のカートリッジを未実装にしてシステムを動作させる場合に終端ボードの実装を行うことなくシステムバスでの波形歪を緩和することが可能である。

【図面の簡単な説明】

【図1】実施形態1の情報処理装置の概略構成を示す図である。

【図2】実施形態2のコネクタの概略構成を示す図である。

【図3】実施形態2のCPUコネクタ33の外観を示す図である。

【図4】実施形態2のCPUカートリッジ1b未実装時のCPUコネクタ33のA-A断面を示す図である。

【図5】実施形態2のCPUカートリッジ1b実装時のCPUコネクタ33のA-A断面を示す図である。

【図6】従来の整合終端の基本構成を示す図である。

【図7】従来のCPUカートリッジを搭載するシステムの典型的なブロック構成を示す図である。

【符号の説明】

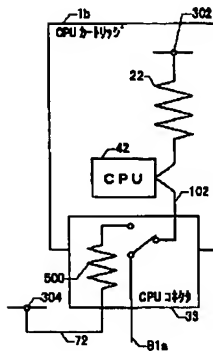
1a…CPUカートリッジ、1b…CPUカートリッジ 30

14

ジ、2…システムボード、31及び32…CPUコネクタ、4…CPU有無検出回路、5…切り替えスイッチ、6a及び6b…外部電源モジュール、8…プルアップ抵抗群、9…プルアップ電源、24…終端抵抗、43a及び43b…モジュール、100…システムバス、200…CPU電圧制御信号、300…終端電圧電源、400…切り替えスイッチ制御信号、21…終端抵抗、3a…CPU電圧制御信号生成回路、41…CPU、50a…CPU電源線、60a…CPUグランド線、101…CPUカートリッジ伝送線路、301…終端電圧電源、22…終端抵抗、3b…CPU電圧制御信号生成回路、42…CPU、50b…CPU電源線、60b…CPUグランド線、102…CPUカートリッジ伝送線路、302…終端電圧電源、33…CPUコネクタ、72…接続端子、81a…接続端子、304…終端電圧電源、500…終端抵抗、71…接続端子、81b…接続端子、82a及び82b…接触部分、83…スイッチ接触部、501…外枠、91…CPUカートリッジ基板、92a及び92b…CPUカートリッジ信号エッジ、600…システムボード、601～604…モジュール、605…システムバス、620…終端電圧電源、621及び622…終端抵抗、700…システムボード、710…CPUカートリッジ、720…CPUカートリッジ、731及び732…CPUコネクタ、701及び702…モジュール、703…システムバス、711…CPU、712…終端抵抗、713…終端電圧電源、714…CPUカートリッジ伝送線路、721…CPU、722…終端抵抗、723…終端電圧電源、724…CPUカートリッジ伝送線路。

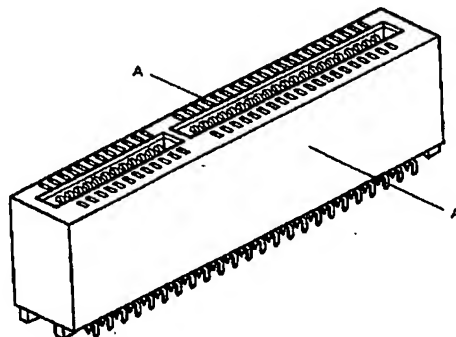
【図2】

図2



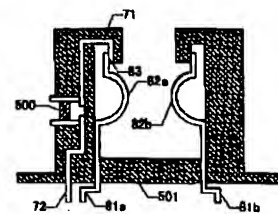
【図3】

図3



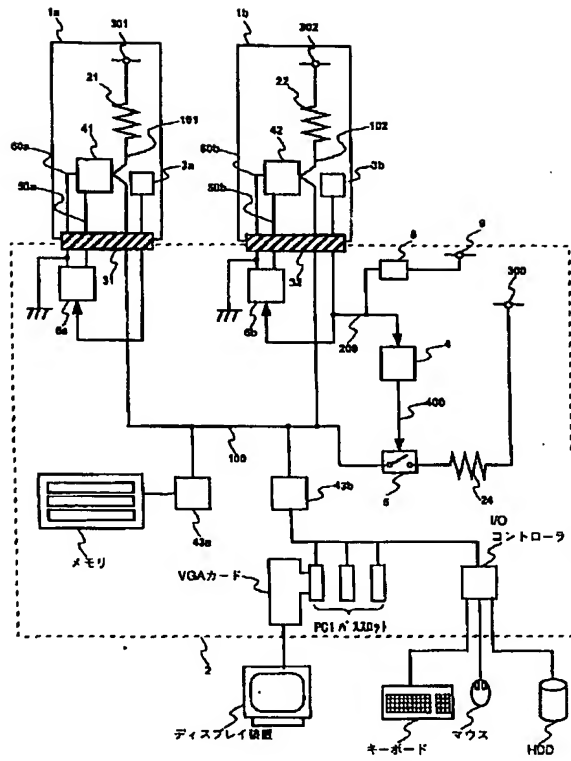
【図4】

図4



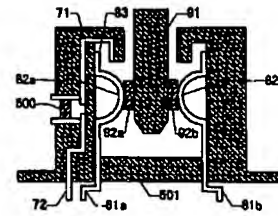
【図1】

図1



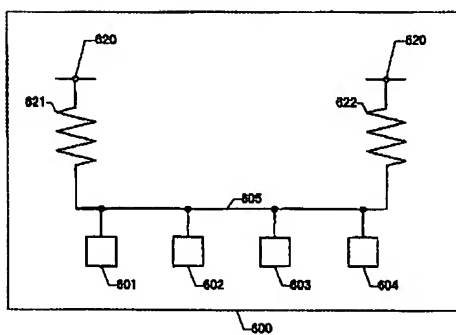
【図5】

図5



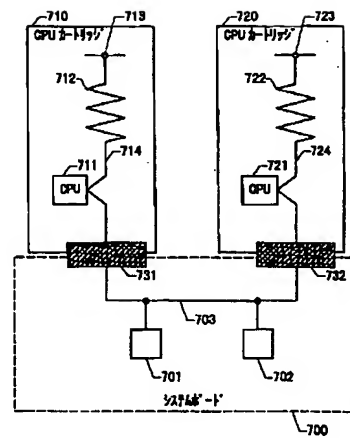
【図6】

図6



【図7】

図7



フロントページの続き

(72)発明者 鈴木 新一

神奈川県川崎市幸区鹿島田890番地 株式
会社日立製作所情報・通信開発本部内